

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09246545 A**(43) Date of publication of application: **19.09.97**

(51) Int. Cl.

**H01L 29/78**  
**H01L 21/28**  
**H01L 21/3205**

(21) Application number: **08051291**(22) Date of filing: **08.03.98**(71) Applicant: **FUJI ELECTRIC CO LTD**(72) Inventor: **UENO KATSUNORI**

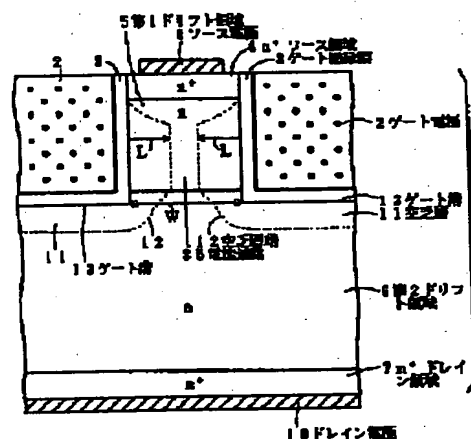
## (54) SEMICONDUCTOR ELEMENT FOR POWER

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To enable the current path between a source and a drain high resistance or breaking it, in condition that gate voltage is not applied.

**SOLUTION:** The second drift region 6 and the first drift region 5 are stacked on an  $n^+$ -drain region 7, and an  $n^+$ -source region 4 is made on the first drift region 5, and a source electrode 8 is made on the  $n^+$ -source region 4. Moreover, a gate insulating film 3 is made on the surface of a gate groove 13, and a gate electrode 2 is made on the gate insulating film 3 so as to stop the gate groove 13. This gate electrode 2 is made of polysilicon doped with p-type impurity atoms, and the impedance of an element is increased by narrowing the current path 35 in such a way that a depletion layer 11 spreads even in condition that gate voltage is not applied, or it is made a normally off type of element by closing the current path 35 by the further micronization of a unit cell.

COPYRIGHT: (C)1997,JPO



[0009]

Thus, even when the gate bias is "0", a depletion layer expands immediately below the gate insulation film, and the impedance of the element is increased. By applying microfabrication to unit cells, the right and left depletion layers adhere to each other, whereby a current path can be interrupted.

[0010]

[Embodiment of the Invention]

FIG. 1 is a cross sectional view of a main portion of an element in a first embodiment of the invention. Ranges described below are formed on a semiconductor substrate 1. A second drift region 6 and a first drift region 5 are stacked on an  $n^+$  drain region 7. An  $n^+$  source region 4 is formed on the first drift region 5. A source electrode 8 is formed on the  $n^+$  source region 4. A gate insulation film 3 is formed on the surface of a gate insulation film 13. A gate electrode 2 is formed on the gate insulation film 3 so as to fill the gate groove 13. The gate electrode 2 is made of polysilicon formed by doping p-type impurity atoms. Therefore, as described later, even when a gate voltage is not applied to the n-type first drift region 5 and second drift region 6, a depletion layer 11 expands, the width of a current path 35 is reduced, and the impedance in this portion is increased. When the microfabrication is further applied to the unit cells and a width W of the first drift region 5 is reduced, expansion L of the depletion layer end is increased, the right and left depletion layer ends 12 adhere to each other, the current path 35 is closed, and an electric current is interrupted, whereby a element is realized. A drain electrode 10 is formed on the surface of the  $n^+$  drain region 7.

[0011]

FIG. 2 describes the concept of the invention. FIG. 2 (a) is an energy band view when the gate electrode is made of n-type polysilicon, and FIG. 2 (b) is an energy band view when the gate electrode is made of p-type polysilicon. Both FIGS. 2 (a) and 2 (b) show cases where a semiconductor substrate 23 is an n-type, and the gate bias is "0". In FIG. 2 (a), since the energy band is not bent, the depletion layer does not expand in the semiconductor substrate 23. In FIG. 2 (b), when the gate electrode 2 is made of p-type polysilicon and, the energy band of the semiconductor substrate 23 is bent as shown in the figure. Therefore, the portion obtained by bending becomes the

depletion layer 11. When the depletion layer 11 expands, the impedance of the element is increased. When the depletion layer 11 further expands, the current path is interrupted. The bending of the energy band is equal to that when a negative voltage of  $-1.2\text{V}$ , which is a band gap, is applied to the n-type gate electrode 2b.

[0012]

FIG. 3 shows current/voltage characteristics between the source and the drain when a negative bias is applied to the n-type gate electrode. A prototype element has the n-type gate electrode, and the width  $W$  of the first drift region is  $5\text{ }\mu\text{m}$ . When the gate voltage is applied from  $0\text{V}$  to  $10\text{ V}$  in  $1\text{V}$  steps, in the first quadrant, the drain is positive, and the source is negative, which is referred to as the forward direction. In the third quadrant, the drain is negative and the source is positive, which is referred to as the reverse direction. In the forward direction, when the gate voltages are  $0\text{V}$  and  $-1\text{V}$ , if the voltage  $V_{\text{DS}}$  between the drain and the source is read as  $4\text{V}$ , the currents  $I_{\text{DS}}$  between the drain and the source are  $10\text{A}$  and  $3\text{A}$ . In the case of  $-1\text{V}$ , the impedance is as three times of that in the case of  $0\text{V}$ . When the gate voltage needs to be lower than  $-3\text{V}$ , the current  $I_{\text{DS}}$  between the drain and the source becomes "0", and the current path is interrupted. As shown in the structure in FIG. 1, when the p-type electrode is used, even if the gate voltage is not applied, the depletion layer 11, which is equal to that when the gate voltage of  $1.2\text{V}$  is applied, is formed in the first drift region 5. This is equal to that when the gate voltage of  $-1.2\text{V}$  is applied in FIG. 3, and a large impedance is obtained. Further, when microfabrication is applied to the unit cells and the width  $W$  of the first drift region 5 is reduced in FIG. 1, the depletion layer ends 12 adhere to each other. Thus, even when the gate voltage is not applied, the current path 35 is interrupted, whereby the normally OFF type element is realized.

[0015]

When the semiconductor substrate is made of silicon, nickel (Ni), platinum (Pt), and the like are preferably used. When these types of metals are used for the gate electrode, even if the gate bias is "0", the depletion layer 11 expands in the semiconductor substrate 23, and the impedance of the element can be increased. By applying microfabrication to the unit cells or using a metal 21 having a larger work function  $\phi_m$  for the gate electrode 2a, the depletion later ends 12 can be largely expanded, and the current path can be interrupted. Namely, the normally OFF type element can be manufactured.

(11)特許出願公開番号

特開平9-246545

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. <sup>*</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 3 C
21/28			21/28	K
21/3205			21/88	J
		9447-4M	29/78	6 5 2 H

審査請求 未請求 請求項の数 3 O.L (全 6 頁)

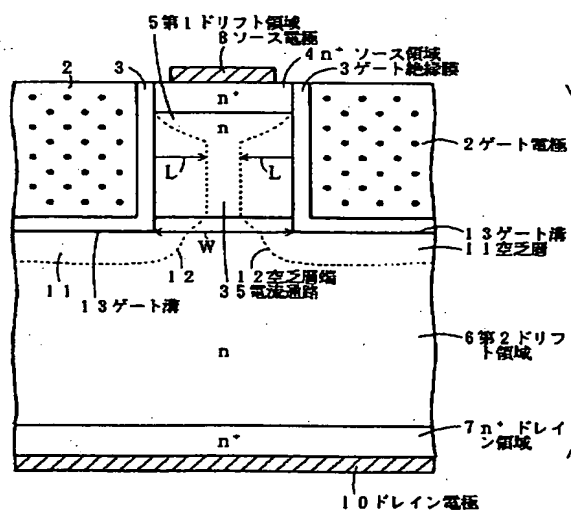
(21)出願番号	特願平8-51291	(71)出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	平成8年(1996)3月8日	(72)発明者	上野 勝典 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		(74)代理人	弁理士 山口 巖

(54) 【発明の名称】 電力用半導体素子

(57) 【要約】

【課題】ゲート電圧を印加しない状態で、ソース・ドレイン間の電流通路を高抵抗とするか、遮断することを可能とする。

【解決手段】 $n^+$ ドレイン領域7上に、第2ドリフト領域6、第1ドリフト領域5が積層され、第1ドリフト領域5上に $n^+$ ソース領域4とが形成され、 $n^+$ ソース領域4上にソース電極8が形成される。またゲート溝13の表面にゲート絶縁膜3が形成され、ゲート絶縁膜3上にゲート溝13を埋めるようにゲート電極2が形成される。このゲート電極2はp形の不純物原子をドーピングしたポリシリコンで形成し、ゲート電圧が印加されない状態でも空乏層11が広がるようにして電流通路35を狭はめて、素子のインピーダンスを増大させるか、単位セルの一層の微細化で、電流通路35を閉じてノーマリオフ型の素子とする。



### 1. . . 半导体基板

1

## 【特許請求の範囲】

【請求項1】第一導電形半導体基板の第一主面の表面層に選択的に溝が形成され、該溝で囲まれた第一主面上にソース電極が形成され、該溝の表面上に絶縁膜を介してゲート電極が形成され、第二主面上にドレイン電極が形成されるトレンチ構造のMOSFETを構成するもので、ソース電極が前記溝を除く第一導電形半導体基板表面と接触し、ゲート電極が第二導電形半導体膜で形成されることを特徴とする電力用半導体素子。

【請求項2】第一導電形半導体基板の第一主面の表面層に選択的に溝が形成され、該溝で囲まれた第一主面上にソース電極が形成され、該溝の表面上に絶縁膜を介してゲート電極が形成され、第二主面上にドレイン電極が形成されるトレンチ構造のMOSFETを構成するもので、ソース電極が前記溝を除く第一導電形半導体基板表面と接触し、ゲート電極が金属で形成され、該金属の仕事関数を $\phi_m$ 、基板を形成する半導体の電子親和力を $\chi$ 、基板を形成する半導体の禁制帯幅を $E_g/q$  ( $E_g$ : バンドギャップ、 $q$ : 電荷) としたとき、 $\phi_m \geq \chi + E_g/2q$  が満たされる金属でゲート電極を形成することを特徴とする電力用半導体素子。

【請求項3】第一導電形半導体基板をシリコンとした場合、ゲート電極をニッケル(Ni)または白金(Pt)とすることを特徴とする請求項2記載の電力用半導体素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、低オン抵抗で、トレンチゲート構造を有する縦型の電力用半導体素子に関する。

## 【0002】

【従来の技術】電力用半導体素子には、用途に応じて種々の構造が適用されている。図6は従来製造されている、低オン抵抗を有するトレンチ構造の縦型MOSFETである。n形の半導体基板1にn<sup>+</sup>ドレイン領域7、nドリフト領域6a、pベース領域14、n<sup>+</sup>ソース領域4が形成され、ゲート溝13上にゲート絶縁膜3を介してn形の不純物原子がドーピングされたゲート電極2bが形成されている。ソース電極8はn<sup>+</sup>ソース領域4とpベース領域14とに接触している。この構造は単位セルの密度を向上させて、オン抵抗を小さくできる利点がある。さらにオン抵抗を下げる目的で提案されているのが、図7に示したpn接合を一切含まない構造の絶縁ゲート駆動の電力用半導体素子である。図7において、n形の半導体基板1の一方の主面の表面層にゲート溝13が形成され、このゲート溝13の表面上にゲート絶縁膜3を介してゲート電極2bが形成される。このゲート溝13に囲まれた半導体基板1の表面層にn<sup>+</sup>ソース領域4が形成され、n<sup>+</sup>ソース領域4上にソース電極8が形成される。半導体基板1でゲート溝13に囲まれた領

2

域はn形の第1ドリフト領域5となり、その下の領域はn形の第2ドリフト領域6となる。半導体基板1の他方の主面の表面層にn<sup>+</sup>ドレイン領域7が形成され、n<sup>+</sup>ドレイン領域7上にドレイン電極10が形成される。ゲート電極2bはn形のポリシリコンで形成される。

【0003】図7の構造の素子は図6に示す従来構造の素子と異なり、オン時には第1ドリフト領域5のゲート電極2bと対向する面に蓄積層が形成され、この蓄積層がチャンネルとなるため、チャンネル抵抗を大幅に低減することができる。またpn接合がないため、pn接合によるキャリアの蓄積がなく、スイッチング時間の短縮ができ、また電流集中が起こらないため素子の破壊耐量を向上できる利点を有している。

【0004】また図6および図7の素子は絶縁ゲート駆動型の電力用半導体素子であるが、ゲート電極2bはn形のポリシリコンが使われ、電気抵抗を下げるために、高濃度ドーピングされている。またポリシリコンは高純度ででき、さらに高温に耐え、加工が容易であり、広く用いられる。

## 【0005】

【発明が解決しようとする課題】つぎに、オフ時の動作を説明すると、ゲート電極を負、ソース電極を正にバイアスするとゲート電圧2bはゲート絶縁膜3を介して第1ドリフト領域5および第2ドリフト領域6に印加され、これらの領域に空乏層11が拡がり、この空乏層端12が密着するとソース電極8とドレイン電極10間の電流通路は絶たれ、電流は遮断する。このことは、図7の素子はゲート電極2bに電圧が印加されていないときには素子はオン状態になっている。これは電源投入初期でゲート駆動回路系に電圧が確立していない時期は素子が短絡状態になるという変換装置に適用する上で極めて大きな不便さがある。

【0006】この発明の目的は、前記の課題を解決して、ゲート電圧を印加しない状態で、ソース・ドレイン間の電流通路を高抵抗とすか、この電流通路を遮断することができる絶縁ゲート構造の電力用半導体装置を提供することにある。

## 【0007】

【課題を解決するための手段】前記目的を達成するために、第一導電形半導体基板の第一主面の表面層に選択的に溝が形成され、該溝で囲まれた第一主面上にソース電極が形成され、該溝の表面上に絶縁膜を介してゲート電極が形成され、第二主面上にドレイン電極が形成されるトレンチ構造のMOSFETを構成するもので、ソース電極が前記溝を除く第一導電形半導体基板表面と接触し、ゲート電極が第二導電形半導体膜で形成される構成とする。

【0008】また第一導電形半導体基板の第一主面の表面層に選択的に溝が形成され、該溝で囲まれた第一主面上にソース電極が形成され、該溝の表面上に絶縁膜を介

してゲート電極が形成され、第二主面上にドレイン電極が形成されるトレンチ構造のMOSFETを構成するもので、ソース電極が前記溝を除く第一導電形半導体基板表面と接触し、ゲート電極が金属で形成され、該金属の仕事関数を $\phi_m$ 、基板を形成する半導体の電子親和力を $\chi$ 、基板を形成する半導体の禁制帯幅を $E_g/q$  ( $E_g$ :エネルギーギャップ、 $q$ :電荷)としたとき、 $\phi_m \geq \chi + E_g/2q$ が満たされる金属でゲート電極を形成することよい。前記の第一導電形半導体基板をシリコンとした場合、ゲート電極をニッケル(Ni)または白金(Pt)とするとよい。

【0009】この手段を講じることで、ゲートバイアスが零の場合でもゲート絶縁膜直下に空乏層が拉がり、素子のインピーダンスを大きくし、単位セルを微細加工することで左右からの空乏層を密着させて、電流通路を遮断することができる。

【0010】

【発明の実施の形態】図1はこの発明の第1実施例の素子の要部断面図である。半導体基板1に次に述べる各領域が形成される。 $n^+$ ドレイン領域7上に、第2ドリフト領域6、第1ドリフト領域5が積層され、第1ドリフト領域5上に $n^+$ ソース領域4が形成され、 $n^+$ ソース領域4上にソース電極8が形成される。またゲート溝13の表面にゲート絶縁膜3が形成され、ゲート絶縁膜3上にゲート溝13を埋めるようにゲート電極2が形成される。このゲート電極2はp形の不純物原子をドーピングしたポリシリコンで形成されている。そのため、後述するように、 $n$ 形の第1ドリフト領域5と第2ドリフト領域6にゲート電圧が印加されない状態でも空乏層11が拉がり電流通路35が狭まり、この部分のインピーダンスが増大する。単位セルをさらに微細化し、第1ドリフト領域5の幅 $W$ を狭めれば空乏層端の伸び $L$ が大きくなり、左右からの空乏層端12は密着し、電流通路35は閉じられ、電流は遮断されるというノーマリオフ型の素子となる。尚、 $n^+$ ドレイン領域7表面にはドレイン電極10が形成されている。

【0011】図2はこの発明の概念を説明する図で、同図(a)はゲート電極が $n$ 形のポリシリコンの場合のエネルギーバンド図、同図(b)はゲート電極がp形のポリシリコンの場合のエネルギーバンド図である。両図とも半導体基板23は $n$ 形であり、ゲートバイアスがゼロの場合である。同図(a)においては、エネルギーバンドの曲がりがなく、そのため半導体基板23内には空乏層が拉がらない。同図(b)においては、ゲート電極2をp形のポリシリコンで形成し、且つ高濃度とすると、半導体基板23のエネルギーバンドは図のように曲がる。そのため、曲がった部分が空乏層11となる。この空乏層11が拉がると素子のインピーダンスは大きくなり、さらに拉がると電流通路を遮断することになる。このエネルギーバンドの曲がり $n$ 形のゲート電極2bに

バンドギャップである-1.2Vの負電圧が印加された場合と等価になる。

【0012】図3は $n$ 形のゲート電極に負バイアスを印加した場合のソース・ドレイン間の電流・電圧特性である。試作した素子は $n$ 形のゲート電極を有し、第1ドリフト領域の幅 $W$ が $5\mu m$ である。ゲート電圧を0から-10Vまで1Vステップで印加した場合で1象限はドレインが正、ソース負の順方向で、3象限が逆方向である。順方向ではゲート電圧を0Vと-1Vとした場合、ドレイン・ソース間電圧 $V_{DS}$ を4Vで読むと、ドレイン・ソース間電流 $I_{DS}$ が10Aと3Aとなり、-1Vの場合、0Vに対してインピーダンスが3倍程度大きくなる。ゲート電圧を-3Vより低くしたい場合はドレイン・ソース間電流 $I_{DS}$ はゼロとなり電流通路は遮断される。図1の構成のようにp形のゲート電極とするとゲート電圧を印加しない場合でも、あたかもゲート電圧を-1.2V印加したときと等価となる空乏層11が第1ドリフト領域5に形成される。これは、図3でゲート電圧を-1.2V印加したのと等価となり、大きなインピーダンスを持つようになる。さらに、図1において、単位セルを微細化し、第1ドリフト領域5の幅 $W$ を狭めれば、空乏層端12が密着し、ゲート電圧を印加しなくても、電流通路35が閉じてノーマリオフ型の素子になる。

【0013】図4はこの発明の第2実施例の素子の要部断面図である。図1と異なるのは、ゲート電極2aを次式を満たす金属で形成した点である。

【0014】

【数1】 $\phi_m \geq \chi + E_g/2q \dots (1)$

【 $\phi_m$ :金属の仕事関数、 $\chi$ :半導体基板の電子親和力、 $E_g$ :半導体基板のバンドギャップ、 $q$ :電荷】前記の金属をゲート電極2aに用いることで第1実施例であるp形のポリシリコンを用いた場合と同様に第1ドリフト領域5と第2ドリフト領域6にゲート電圧を印加しない状態でも第1ドリフト領域5と第2ドリフト領域6に空乏層11が拉がり、第1実施例と同様に電流通路35のインピーダンスが増大し、さらに単位セルを微細化することでノーマリオフ型の素子になる。

【0015】図5はゲート電極に図4で示す金属を使用した場合のエネルギーバンド図である。図の左側がゲート電極に当たる金属21で絶縁膜22を挟んで右側に $n$ 形の半導体基板23を示している。真空準位31から金属21のフェルミ準位32までのエネルギーが仕事関数 $\phi_m$ である。また、真空準位31から伝導帯33までのエネルギーが電子親和力 $\chi$ であり、伝導帯33と価電子帯34の間のエネルギーが $E_g/q$ である。ここではエネルギーと表現したが厳密にはポテンシャルのことである。(1)式が成り立つ金属21の場合、図示されるように半導体基板23のエネルギーは曲がり空乏層11が拉がる。丁度、p形のポリシリコンをゲート電極2とし

た場合と同様である。この仕事関数 $\phi_m$ が大きいほど半導体基板23側に空乏層11は広がるので効果は大きくなる。半導体基板をシリコンとした場合は、シリコンの $E_g/q$ は1.2V、電子親和力が4.05Vとなるので、ゲート電極2aに用いる金属21の仕事関数は4.65V以上とするとよい。具体的な金属としてはニッケル(Ni)や白金(Pt)などがよい。これらの金属をゲート電極に用いるとゲートがゼロバイアス時にも半導体基板23に空乏層11が広がるようになり、素子のインピーダンスを増大できる。また単位セルを微細化したより大きな仕事関数 $\phi_m$ の金属21をゲート電極2aに使うことで空乏層端12を大きく上げ、電流通路を遮断することも可能である。つまりノーマリオフ型の素子を製作することができる。

【0016】

【発明の効果】この発明によれば、pn接合を有さないトレンチ構造の電圧駆動型素子で、ゲート電極にp形のポリシリコンや前記(1)式が成立する金属を用いることで、ゲート零バイアス時でもドレイン・ソース間抵抗(素子のインピーダンス)の大きい素子や、電流通路を遮断するノーマリオフ型の素子を得ることができる。また、この素子はオン状態では極めて低いオン電圧となる。さらに、この素子を変換装置に適用すると、電源投入時のゲート電圧が低い状態でも回路が短絡状態に陥ることはなく、通常のゲート回路で安定して変換装置を運転できる。

【図面の簡単な説明】

【図1】この発明の第1実施例の素子の要部断面図

【図2】この発明の概念を説明する図で(a)はゲート電極がn形のポリシリコンの場合のエネルギーバンド図、(b)はゲート電極がp形のポリシリコンの場合のエネルギーバンド図

【図3】n形のゲート電極に負バイアスを印加した場合のソース・ドレイン間の電流・電圧特性図

\* 【図4】この発明の第2実施例の素子の要部断面図

【図5】ゲート電極に図4で示す金属を使用した場合のエネルギーバンド図

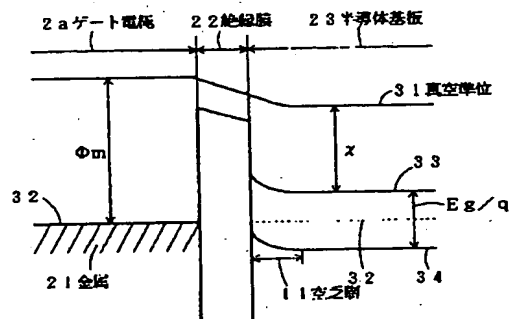
【図6】従来のトレンチ構造の縦型MOSFETの要部断面図

【図7】従来のpn接合を一切含まない構造の絶縁ゲート駆動の電力用半導体素子の要部断面図

【符号の説明】

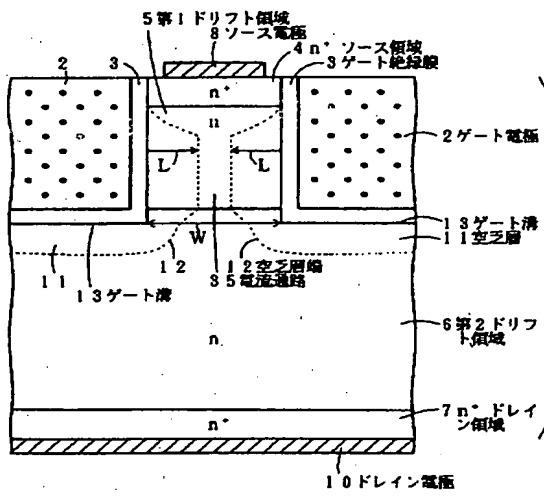
- |    |                       |
|----|-----------------------|
| 1  | 半導体基板                 |
| 2  | ゲート電極                 |
| 2a | ゲート電極                 |
| 2b | ゲート電極                 |
| 3  | ゲート絶縁膜                |
| 4  | n <sup>+</sup> ソース領域  |
| 5  | 第1ドリフト領域              |
| 6  | 第2ドリフト領域              |
| 6a | ドリフト領域                |
| 7  | n <sup>+</sup> ドレイン領域 |
| 8  | ソース電極                 |
| 9  | ゲート電極                 |
| 10 | ドレイン電極                |
| 11 | 空乏層                   |
| 12 | 空乏層端                  |
| 13 | ゲート溝                  |
| 21 | 金属                    |
| 22 | 絶縁膜                   |
| 23 | 半導体基板                 |
| 31 | 真空準位                  |
| 32 | フェルミ準位                |
| 33 | 伝導帯                   |
| 34 | 価電子帯                  |
| 35 | 電流通路                  |
| L  | 空乏層端の伸び               |
| W  | 第1ドリフト領域の幅            |

【図5】



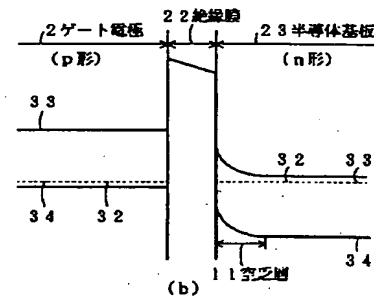
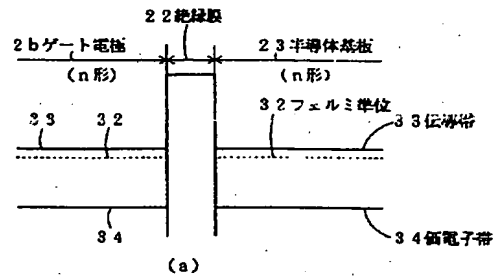


【図1】

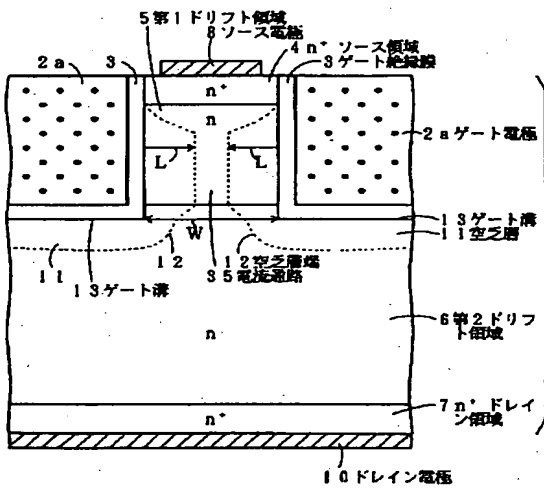


1・・・半導体基板

【図2】

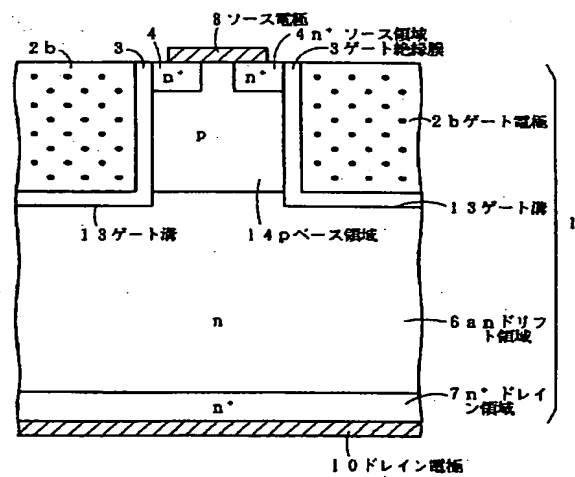


【図4】



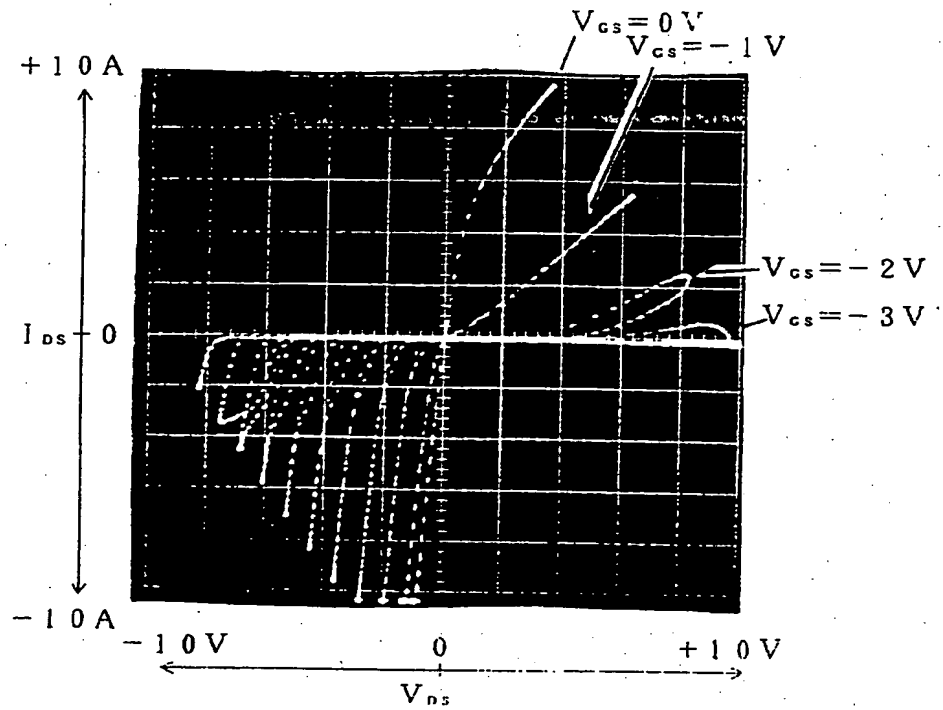
1・・・半導体基板

【図6】



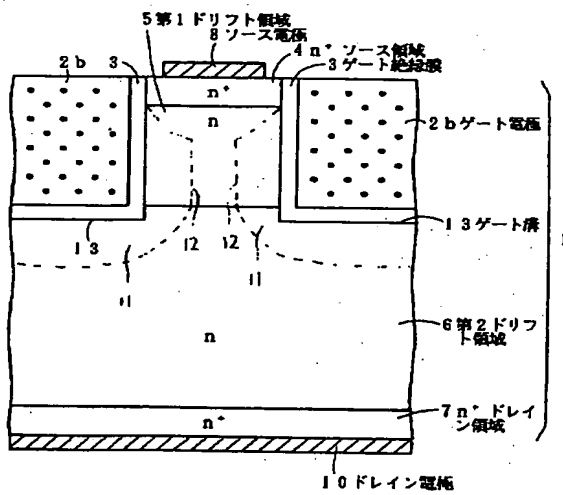
1・・・半導体基板

【図3】



$V_{GS}$ は0 Vから $-10\text{ V}$ まで1 Vステップである。

【図7】



1...半導体基板